

4 Лабораторна робота № 4. Комбінаційні схеми. Мультиплексори.

4.1 Мета

Засвоїти принципи функціонування мультиплексорів та демультиплексорів.

4.2 Завдання

Реалізувати схему заданого комбінаційного пристрою на логічних елементах.

Таблиця 4.1 – Варіанти індивідуальних завдань

Вар.	Тип пристрою
1	Мультиплексор з 2 входами даних з прямим входом дозволу та інверсним виходом
2	Компаратор двох 2-розрядних двійкових чисел (при рівності на виході 0, інакше 1)
3	Мультиплексор з 2 входами даних з прямим входом дозволу та прямим виходом
4	Схема додавання двох 2-розрядних двійкових чисел з формуванням переносу на додатковому виході (1, якщо сума перевищує 3, інакше 0)
5	Мультиплексор з 3 входами даних з прямим виходом
6	Пристрій для визначення кількості одиниць у 3-розрядному двійковому коді
7	Мультиплексор з 3 входами даних з прямим і інверсним виходом
8	Схема додавання по модулю 4 (тобто без формування переносу у старшому розряді) двох 2-розрядних двійкових чисел з прямим входом дозволу
9	Мультиплексор з 2 входами даних з інверсним входом дозволу та прямим виходом
10	Компаратор двох 2-розрядних двійкових чисел (якщо 1-ше число більше 2-го, на виході 1, інакше 0)
11	Мультиплексор з 2 входами даних з прямим і інверсним виходом
12	Пристрій для визначення кількості нулів у 3-розрядному двійковому коді
13	Мультиплексор з 2 входами даних з інверсним входом дозволу та інверсним виходом
14	Демультиплексор з 4 прямими виходами
15	Мультиплексор з 3 входами даних з інверсним виходом

4.3 Короткі теоретичні відомості

4.3.1 Мультиплексори та демультиплексори

Призначення *мультиплексора* – комутувати в бажаному порядку інформацію, що надходить з декількох вхідних шин на одну вихідну. За допомогою мультиплексора можна здійснювати часовий розподіл інформації, що надходить по різних каналах. Мультиплексор можна уподібнити безконтактному багатопозиційному перемикачеві.

Мультиплексори мають дві групи входів і один, рідше два взаємодоповнюючих виходи. До них відносяться адресні входи і входи дозволу. Якщо мультиплексор має n адресних входів, то число інформаційних входів буде 2^n . Набір сигналів на адресних входах визначає номер інформаційного входу, що буде з'єднаний з вихідним виводом.

Вхід дозволу керує одночасно всіма інформаційними входами незалежно від стану адресних входів. Сигнал заборони на цьому вході блокує роботу всього пристрою. Наявність входу дозволу розширює функціональні можливості мультиплексора, дозволяючи синхронізувати його роботу з роботою інших вузлів. Вхід дозволу застосовується також для нарощування розрядності мультиплексорів.

Приклад таблиці істинності мультиплексора з 4 входами даних та прямим входом дозволу:

Десятковий еквівалент адреси	Входи							Вихід	
	a1	a0	EO	d0	d1	d2	d3	y	
0	0	0	1	0	x	x	x	0	
				1	x	x	x	1	
1	0	1		x	0	x	x	0	
				x	1	x	x	1	
2	1	0		x	x	0	x	0	
				x	x	1	x	1	
3	1	1		x	x	x	0	0	
				x	x	x	1	1	
	x	x		0	x	x	x	x	0

Позначення «x» тут означає, що сигнал може приймати довільне значення. В даному випадку кількість вхідних змінних дорівнює 7, і таблиця істинності повинна мати 128 рядків. З використанням позначення "x" таблицю вдалось скоротити до 5 рядків. При утворенні логічного виразу із рядка таблиці змінні із значенням "x" не повинні в ньому фігурувати, наприклад, передостанньому рядку (де $d0=d1=d2="x"$) відповідає логічний вираз $y = a1 \wedge a0 \wedge d3$.

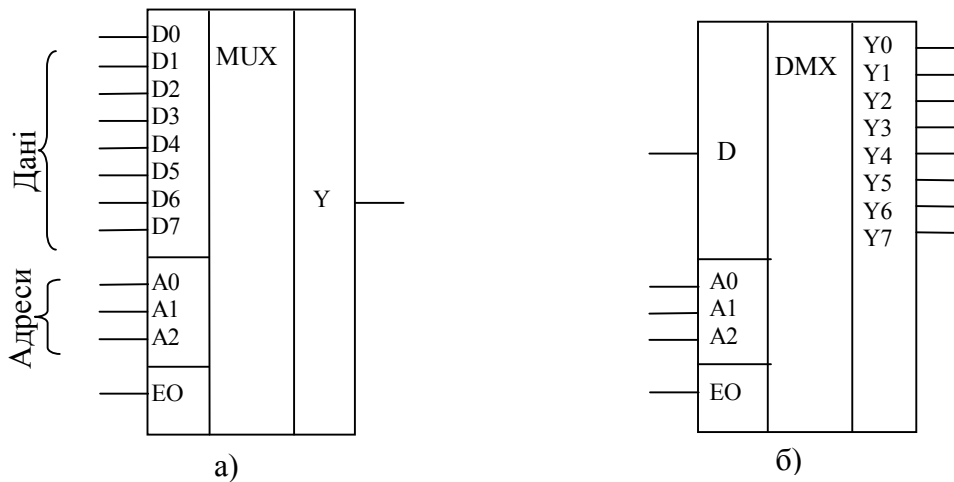


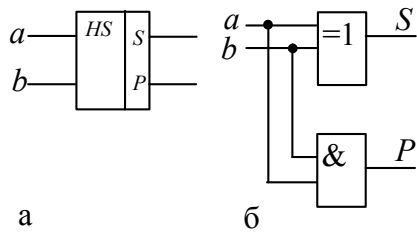
Рисунок 4.1 - Мультиплексор (а) та демультиплексор (б)

Демультиплексори у функціональному відношенні протилежні мультиплексорам. Тут сигнали з одного інформаційного входу розподіляються в бажаній послідовності по декількох виходах. Вибір потрібної вихідної шини, як і в мультиплексорі, забезпечується кодом на адресних входах: номер виходу дорівнює десятковому еквівалентові двійкового коду на адресних входах. При m адресних входах демультиплексор може мати в залежності від конструкції до 2^m виходів. У якості демультиплексора може використовуватися дешифратор, у якого на вхід дозволу подається інформаційний сигнал.

4.3.2 Суматори та компаратори

За принципом побудови і типом використаних елементів розрізняють комбінаційні та накопичуючі суматори. Результати проміжного порозрядного додавання у накопичуючих суматорах зберігається (запам'ятовується) в елементарних комірках пам'яті, функцію яких виконують тригери. Комбінаційні суматори не мають запам'ятовувачів. У них додавання двійкових чисел здійснюється позиційним паралельним кодом одночасно. Як і у всіх комбінаційних пристроїв, результат на виході у комбінаційних суматорах зникає зразу після припинення дії вхідних сигналів. Тому комбінаційні суматори, як правило, доповнюють вхідними та вихідними регістрами, тобто пристроями, що здатні записувати чи перезаписувати проміжний результат підсумовування у послідовному або у паралельному коді.

Напівсуматор – це пристрій (рис. 4.2), що має два входи (для доданків a і b) і два виходи (суми S і переносу P), який призначений для виконання арифметичного додавання за правилами, що наведені у табл. 4.2.



Таблиця 4.2 - Таблиця істинності напівсуматора

a	b	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Рисунок 4.2 - Напівсуматор

З таблиці істинності видно, що напівсуматор виконує елементарне додавання двох однорозрядних двійкових чисел та підсумовування отриманого результату з переносом у наступний старший розряд. Логічна структура напівсуматора має відображати стан обох виходів згідно з виразами

$$S = a\bar{b} \vee \bar{a}b = a \oplus b;$$

$$P = ab$$

Однак у логіці роботи напівсуматора не передбачено переносу з сусіднього молодшого розряду, тому напівсуматор може здійснювати додавання тільки у молодшому розряді двійкових чисел. Поява одиниці переносу при додаванні двох розрядів (числа і переносу) дещо змінює правила підсумовування двійкових чисел. Такий однорозрядний суматор потребує ще один (третій) вхід переносу з сусіднього молодшого розряду. Для цього служить повний суматор.

Повний суматор (рис. 4.3) реалізує процедуру додавання двох однорозрядних двійкових чисел з урахуванням переносу з молодшого розряду. Тому він має три входи (a_i , b_i , P_i) і два виходи (S_i і P_{i+1}). Логіка роботи повного суматора відображена у табл. 4.3, де a_i , b_i – доданки двійкових чисел в i -му розряді; P_i , P_{i+1} – переноси, відповідно з молодшого розряду i в сусідній старший розряд $i+1$; S – утворена сума в i -му розряді.

Для додавання двох n -розрядних двійкових чисел A і B потрібно, очевидно, використати n однорозрядних повних суматорів. При цьому можуть бути два способи підсумовування – послідовне і паралельне. Додавання чисел в послідовних суматорах відбувається порозрядно, послідовно в часі. В паралельних суматорах додавання всіх розрядів багаторозрядних чисел відбувається одночасно.

Таблиця 4.3 – Таблиця істинності повного суматора

a_i	b_i	P_i	P_{i+1}	S_i
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

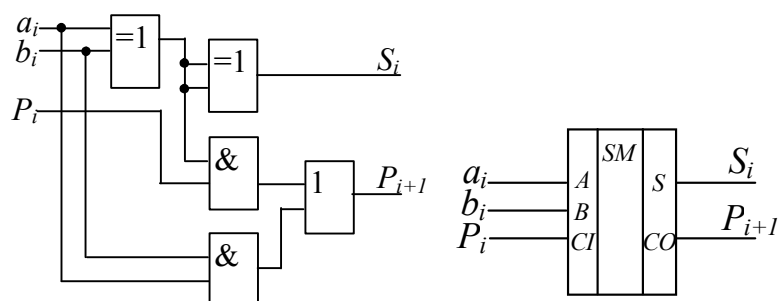


Рисунок 4.3 – Повний суматор

Використовуючи один напівсуматор (для молодшого розряду) та $N-1$ повних суматорів, можна побудувати схему додавання N -розрядних двійкових чисел.

Цифрові компаратори – це арифметичні пристрої, що призначені для порівняння

величин двох чисел, що подані у двійковому або двійково-десятковому коді. Найпростіший компаратор виявляє лише факт рівності або нерівності двох поданих на його входи n -розрядних чисел (операндів) A і B і формує на виході однобітовий сигнал. рівності (1) або нерівності (0) цих чисел.

Рівність, зокрема, двох однорозрядних операндів a і b визначається логічною операцією рівнозначності, або еквівалентності

$$Y = \begin{cases} 1 & \text{при } a = b; \\ 0 & \text{при } a \neq b, \end{cases}$$

тобто логічною операцією (виключне АБО)-НЕ.

Компаратори порівняння n -розрядних чисел можна будувати за двома принципами – логічним та арифметичним. Перший принцип (логічний) базується на синтезі за таблицею істинності, другий (арифметичний) – на синтезі схеми, що виконує дію віднімання з наступним аналізом результату на рівність нулю та наявність переносу з найстаршого розряду.

4.3.3 Проектування комбінаційних схем на логічних елементах

Див. методичні вказівки до попередньої лабораторної роботи.

4.4 Порядок виконання роботи

1. За описом комбінаційної схеми скласти таблицю істинності.
2. Записати логічні функції для всіх виходів схеми. Мінімізувати їх, якщо це можливо.
3. Скласти схему комбінаційного пристрою на логічних елементах.
4. Подати на вхід схеми сигнал з виходу компонента Stim4 або Stim8 (**Компоненты / Digital Primitives / Stimulus Generators**). Компонент запрограмувати таким чином, щоб на його виходах послідовно з'являлись всі можливі комбінації відповідної розрядності (тобто для 3 входів – 8 комбінацій, для 4 – 16 і т.д.).
5. Вивести часові діаграми сигналів на входах та виходах схеми. Переконайтесь в правильності її роботи. Якщо схема складена правильно, часова діаграма повинна відповідати таблиці істинності. Також можна (не обов'язково) перевірити правильність роботи, застосувавши стандартні мікросхеми мультиплексорів, компараторів, суматорів (підібрати з меню **Компоненты/Russian Digital**).

4.5 Звіт повинен містити:

1. Завдання (з вказанням номеру варіанта)
2. Таблицю істинності комбінаційного пристрою.
3. Логічні функції для виходів схеми.
4. Схеми у позначеннях згідно ДСТУ.
5. Часові діаграми сигналів на входах та виходах схеми.
6. Висновки.

4.6 Контрольні питання

1. Комбінаційні елементи: мультиплексори, демультимплексори, суматори, цифрові компаратори. Принцип роботи, застосування.
2. Пояснити призначення виводів мультиплексора або демультимплексора.
3. Визначити стан виходів мультиплексора або демультимплексора при довільній комбінації сигналів на вході.
4. Пояснити послідовність створення схеми довільного комбінаційного пристрою на логічних елементах.
5. Що таке ДДНФ, ДКНФ?
6. Як утворити ДДНФ за таблицею істинності?